



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **08298285 A**(43) Date of publication of application: **12.11.96**

(51) Int. Cl. **H01L 21/768**
H01L 21/28
H01L 21/3205

(21) Application number: **07103283**(71) Applicant: **OKI ELECTRIC IND CO LTD**(22) Date of filing: **27.04.95**(72) Inventor: **HARADA YUSUKE**(54) **SEMICONDUCTOR ELEMENT AND ITS MANUFACTURE**

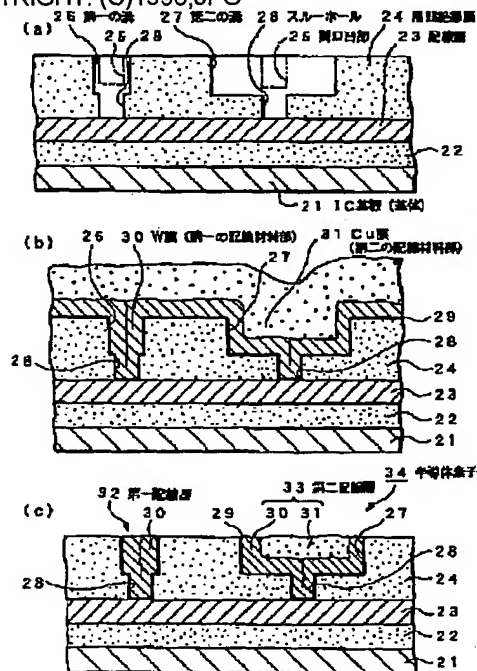
(57) Abstract:

PURPOSE: To provide a semiconductor element having wiring equipped with a low resistance wiring layer for wiring of a portion requiring a relatively large current for such as power supply line having good coverage and its manufacturing method.

CONSTITUTION: An interlayer insulating film 24 is formed on a wiring layer 23 provided on a substrate 21, this is etched and an open recessed portion 25 is formed, top of the open recessed portion 25 is etched again, and a first groove 26 and a second groove 27 wider than the first one are formed. Also, a through hole 28 coming to the wiring layer 23 is formed; a first wiring material is embedded in the through-hole 28 and the first groove 26 and the bottom and side wall portion inside the second groove 27, a second wiring material 31 having a conductivity higher than that of the first wiring material 30 is embedded in the second groove 27, the second wiring material 31 and the first wiring material 30 on the surface of the interlayer insulating film 24 are polished and removed by a chemical-mechanical

polishing method and then a semiconductor element 34 is obtained.

COPYRIGHT: (C)1996,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-298285

(43) 公開日 平成8年(1996)11月12日

(51)Int.Cl. ⁴	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L	21/768		H 0 1 L	21/90 B
	21/28	3 0 1		21/28 3 0 1 R
	21/3205			21/88 K

審査請求 未請求 請求項の数 6 O L (全 10 頁)

(21) 出願番号 特願平7-103283

(22) 出願日 平成7年(1995)4月27日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 原田 裕介

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

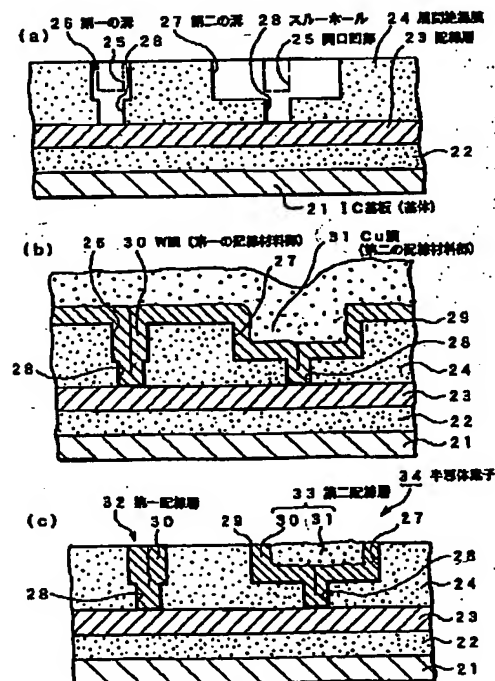
(74) 代理人 弁理士 船橋 國則

(54) 【発明の名称】 半導体素子とその製造方法

(57) 【要約】

【目的】 良好なカバレッジを有し、かつ電源ライン等の比較的大きな電流を必要とする部分の配線用として低抵抗の配線層を備えた配線を有する半導体素子と、その製造方法を提供する。

【構成】 基体21上に設けられた配線層23の上に層間絶縁膜24を形成し、これをエッチングして開口凹部25を形成し、開口凹部25上を再度エッチングし、第一の溝26とこれより幅の広い第二の溝27を形成し、かつ配線層23に通じるスルーホール28を形成し、スルーホール28内および第一の溝26内と、第二の溝27内の底部および側壁部とに第一の配線材料30を埋め込み、第二の溝27内に第一の配線材料30より導電率の高い第二の配線材料31を埋め込み、層間絶縁膜24表面上の第二の配線材料31と第一の配線材料30とを化学機械研磨法により研磨除去して半導体素子34を得る。



第一実施例の工程説明図

【特許請求の範囲】

【請求項1】 複数の配線層を有する半導体素子であって、

基体上に設けられた配線層の上に該配線層を覆って層間絶縁膜が設けられ、

該層間絶縁膜に、前記配線層に通じる複数のスルーホールが形成され、かつ、該層間絶縁膜に、前記スルーホールのうちの少なくとも一つを通してこれに連通するとともに、該スルーホールの内寸より幅の広い第一の溝と、前記スルーホールのうちの他のスルーホールを通してこれに連通するとともに、前記第一の溝より幅の広い第二の溝とが形成され、

前記第一の溝内とこれに連通するスルーホール内とにこれらを埋め込んだ状態で第一の配線材料からなる第一配線層が設けられ、

前記第二の溝内の底部および側壁部と該第二の溝内に連通するスルーホール内とに前記第一の配線材料からなる第一の配線材料部が設けられ、かつ該第一の配線材料部上に該第一の配線材料部とともに前記第二の溝内を埋め込んだ状態で前記第一の配線材料より導電率の高い第二の配線材料からなる第二の配線材料部が設けられ、これにより前記第二の溝内とこれに連通するスルーホール内に前記第一の配線材料部と第二の配線材料部とからなる第二配線層が設けられたことを特徴とする半導体素子。

【請求項2】 複数の配線層を有する半導体素子であって、

基体上に設けられた配線層の上に該配線層を覆って層間絶縁膜が設けられ、

該層間絶縁膜に、前記配線層に通じる複数のスルーホールが形成され、かつ、該層間絶縁膜に、前記スルーホールのうちの少なくとも一つを通してこれに連通するとともに、該スルーホールの内寸より幅の広い第一の溝と、前記スルーホールのうちの他のスルーホールを通してこれに連通するとともに、前記第一の溝より幅の広い第二の溝とが形成され、

前記第一の溝内に連通するスルーホール内と該第一の溝内におけるスルーホールの直上箇所とに第二の配線材料からなる第二の配線材料部が設けられ、かつ前記第一の溝内に前記第二の配線材料部とともに該第一の溝内を埋め込んだ状態で前記第二の配線材料より導電率の低い第一の配線材料からなる第一の配線材料部が設けられ、これにより前記第一の溝内とこれに連通するスルーホール内に前記第二の配線材料部と第一の配線材料部とからなる第一配線層が設けられ、

前記第二の溝内の底部および側壁部に前記第一の配線材料からなる第一の配線材料部が設けられ、かつ該第二の溝内に連通するスルーホール内および前記第一の配線材料部上に該第一の配線材料部とともに前記第二の溝内を埋め込んだ状態で前記第二の配線材料からなる第二の配線材料部が設けられ、これにより前記第二の溝内とこれ

に連通するスルーホール内に前記第二の配線材料部と第一の配線材料部とからなる第二配線層が設けられたことを特徴とする半導体素子。

【請求項3】 複数の配線層を有する半導体素子の製造方法であって、

基体上に設けられた配線層の上に該配線層を覆って層間絶縁膜を形成する第一の工程と、

この層間絶縁膜をエッチングして該層間絶縁膜を貫通しない状態に複数の開口凹部を形成する第二の工程と、

10 開口凹部を形成した層間絶縁膜の前記開口凹部上を再度エッチングし、該開口凹部の少なくとも一つの上を通る第一の溝を前記開口凹部の内寸より広い幅に形成すると同時に、他の開口凹部の上を通る、前記第一の溝より幅の広い第二の溝を形成し、かつ前記開口凹部形成箇所を、層間絶縁膜を貫通して前記配線層に通じるスルーホールに形成する第三の工程と、

前記スルーホール内および第一の溝内と、前記第二の溝内の底部および側壁部とに第一の配線材料を埋め込む第四の工程と、

20 前記第二の溝内に前記第一の配線材料より導電率の高い第二の配線材料を埋め込む第五の工程と、

前記第一、第二の溝内に埋め込んだ前記配線材料を残して層間絶縁膜表面上の第二の配線材料と第一の配線材料とを化学機械研磨法により研磨除去し、第一、第二の溝内に埋め込んだ前記配線材料との間に段差がなくなるように前記層間絶縁膜を露出させる第六の工程と、を備えてなることを特徴とする半導体素子の製造方法。

【請求項4】 複数の配線層を有する半導体素子の製造方法であって、

30 基体上に設けられた配線層の上に該配線層を覆って層間絶縁膜を形成する第一の工程と、

前記層間絶縁膜をエッチングして該層間絶縁膜内に第一の溝と該第一の溝より幅の広い第二の溝とを形成する第二の工程と、

前記第一の溝内と第二の溝内とをエッチングし、前記層間絶縁膜を貫通して前記配線層に通じ、かつ前記第一の溝の幅より内寸の小さいスルーホールを形成する第三の工程と、

40 前記スルーホール内および第一の溝内と、前記第二の溝内の底部および側壁部とに第一の配線材料を埋め込む第四の工程と、

前記第二の溝内に前記第一の配線材料より導電率の高い第二の配線材料を埋め込む第五の工程と、

前記第一、第二の溝内に埋め込んだ前記配線材料を残して層間絶縁膜表面上の第二の配線材料と第一の配線材料とを化学機械研磨法により研磨除去し、第一、第二の溝内に埋め込んだ前記配線材料との間に段差がなくなるように前記層間絶縁膜を露出させる第六の工程と、を備えてなることを特徴とする半導体素子の製造方法。

50 【請求項5】 複数の配線層を有する半導体素子の製造

方法であって、
基体上に設けられた配線層の上に該配線層を覆って層間絶縁膜を形成する第一の工程と、

前記層間絶縁膜をエッチングして該層間絶縁膜内に第一の溝と該第一の溝より幅の広い第二の溝とを形成する第二の工程と、

前記第一の溝内と前記第二の溝内の底部および側壁部とに、第一の配線材料を埋め込む第三の工程と、

前記第一の溝内と第二の溝内とをエッチングし、前記第一の配線材料および前記層間絶縁層を貫通して前記配線層に通じ、かつ前記第一の溝の幅より内寸の小さいスルーホールを形成する第四の工程と、

前記スルーホール内に前記第一の配線材料より導電率の高い第二の配線材料を埋め込むとともに、前記第二の溝内に前記第二の配線材料を埋め込む第五の工程と、

前記第一、第二の溝内に埋め込んだ前記配線材料を残して層間絶縁膜表面上の第二の配線材料と第一の配線材料とを化学機械研磨法により研磨除去し、第一、第二の溝内に埋め込んだ前記配線材料との間に段差がなくなるように前記層間絶縁膜を露出させる第六の工程と、を備えてなることを特徴とする半導体素子の製造方法。

【請求項6】 前記第一の配線材料として、高融点金属あるいは高融点金属の窒化物またはシリサイドを用い、第二の配線材料として、Cu、AlあるいはCu系合金、Al系合金を用いることを特徴とする請求項3、4又は5記載の半導体素子の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、複数の配線層を有する半導体素子とその製造方法に関する。

【0002】

【従来の技術】従来、半導体素子において多層配線を形成する方法としては、例えば図3に示すような方法が知られている。この方法では、まず、IC基板1上にSiO₂、BPSG（ホウ素リンシリケートガラス）等からなる絶縁膜2を形成し、次にこの絶縁膜2上に、Al-Si系合金等の配線材料からなる層をスパッタ法によって形成し、さらに、ホトリソグラフィ、エッチングによりパターンニングして第一の配線パターン3を形成する。

【0003】次いで、第一の配線パターン3上にこれを覆ってSiO₂等の層間絶縁膜4を形成し、さらにこの層間絶縁膜4にホトリソグラフィ技術、エッチング技術を用いてスルーホール5を選択的に形成する。その後、前記スルーホール5内に入り込み、前記第一の配線パターン3に接続するようにしてAl-Si系合金等の配線材料からなる層をスパッタ法によって形成し、さらに、ホトリソグラフィ、エッチングによりパターンニングして第二の配線パターン6を形成し、これによって二層配線構造を有する半導体素子を得る。

【0004】ところが、このようにスパッタ法で第二の配線パターン6を形成すると、スルーホール5内で十分なカバレッジが得られず、また、第一の配線パターン3が形成されることによって当然該パターン3が形成されている箇所とない箇所とで段差が生じ、これに伴って層間絶縁膜4の平坦性が不十分となっていることから、これの上に形成される第二の配線パターン6にもその影響が及んでしまう。

【0005】このような背景から近年では、平坦化配線の一法として、図4（a）、（b）に示すようなダマシン法と呼ばれる配線方法が検討されている。この方法では、まず、図4（a）に示すようにIC基板11上にSiO₂、BPSG（ホウ素リンシリケートガラス）等からなる絶縁膜12を形成し、次に、この絶縁膜12上にAl-Si系合金等の配線材料からなる第一の配線パターン13を形成する。

【0006】次いで、第一の配線パターン13上にこれを覆ってSiO₂等の層間絶縁膜14を形成し、さらにこの層間絶縁膜14にホトリソグラフィ技術、エッチング技術を用いてスルーホール15を層間絶縁膜14の途中まで、すなわち第一の配線パターン13に到達しない深さに形成する。次いで、再度ホトリソグラフィ技術、エッチング技術を用い、図4（b）に示すように第二の配線パターンとなるパターン形状の溝16を前記スルーホール15上を通して所定深さに形成する。すると、この溝16のエッチング（例えばドライエッチング）時に、スルーホール15の底面も同時にエッチングされ、該スルーホール15が第一の配線パターン13に通じるようになる。

【0007】次いで、低圧CVD法によって層間絶縁膜14上にタングステン（W）を堆積し、これにより前記スルーホール15および溝16内にWを埋め込む。この場合、CVD法によるW膜はカバレッジが良いことから、スルーホール15内および溝16内への埋め込みは良好なカバレッジでなされる。その後、堆積形成されたW膜をケミカルメカニカルポリッシング法（化学機械研磨法；CMP法）により研磨して溝16形成箇所以外の部分の層間絶縁膜14面を露出させ、かつ該露出面と溝16内に埋め込まれたW膜との間の段差をなくし、これによりスルーホール15内と溝16内とにW膜からなる第二の配線パターン17を形成する。

【0008】このような方法によれば、スルーホール15の埋め込みと同時に溝16内に良好なカバレッジで配線パターンを形成することができ、しかも層間絶縁膜14に形成した溝16内に第二の配線パターン17を形成することから、第一の配線パターン13のパターン形状に伴う層間絶縁膜14の段差に影響されことなく該第二の配線パターン17を形成することができる。したがって、この方法を繰り返し行うことにより、平坦な多層配線を実現することができる。

【0009】

【発明が解決しようとする課題】しかしながら、図4 (a)、(b)に示した方法では、抵抗が従来のA1あるいはその合金に比べて高いW膜によって第二の配線パターン17を形成していることから、以下に述べる不都合がある。すなわち、前記第二の配線パターン17を電源ライン等の比較的大きな電流を必要とする部分に用いた場合、その抵抗の高さにより、デバイススピードが従来のものに比べ低下してしまう可能性がある。さらに、CVD法によるW膜は、膜ストレスが 1×10^{10} dyne/cm²と大きく、したがって厚く形成することができず、また埋め込む溝の幅にも限度があると考えられている。

【0010】本発明は前記事情に鑑みてなされたもので、その目的とするところは、良好なカバレッジを有し、かつ電源ライン等の比較的大きな電流を必要とする部分の配線用として低抵抗の配線層を備えた配線を有する半導体素子と、その製造方法を提供することにある。

【0011】

【課題を解決するための手段】本発明における請求項1記載の半導体素子では、基体上に設けられた配線層の上に該配線層を覆って層間絶縁膜が設けられ、該層間絶縁膜に、前記配線層に通じる複数のスルーホールが形成され、かつ、該層間絶縁膜に、前記スルーホールのうちの少なくとも一つを通してこれに連通するとともに、該スルーホールの内寸より幅の広い第一の溝と、前記スルーホールのうちの他のスルーホールを通してこれに連通するとともに、前記第一の溝より幅の広い第二の溝とが形成され、前記第一の溝内とこれに連通するスルーホール内とにこれらを埋め込んだ状態で第一の配線材料からなる第一配線層が設けられ、前記第二の溝内の底部および側壁部と該第二の溝内に連通するスルーホール内とに前記第一の配線材料からなる第一の配線材料部が設けられ、かつ該第一の配線材料部上に該第一の配線材料部とともに前記第二の溝内を埋め込んだ状態で前記第一の配線材料より導電率の高い第二の配線材料からなる第二の配線材料部が設けられ、これにより前記第二の溝内とこれに連通するスルーホール内に前記第一の配線材料部と第二の配線材料部とからなる第二配線層が設けられたことを前記課題の解決手段とした。

【0012】請求項2記載の半導体素子では、基体上に設けられた配線層の上に該配線層を覆って層間絶縁膜が設けられ、該層間絶縁膜に、前記配線層に通じる複数のスルーホールが形成され、かつ、該層間絶縁膜に、前記スルーホールのうちの少なくとも一つを通してこれに連通するとともに、該スルーホールの内寸より幅の広い第一の溝と、前記スルーホールのうちの他のスルーホールを通してこれに連通するとともに、前記第一の溝より幅の広い第二の溝とが形成され、前記第一の溝内に連通するスルーホール内と該第一の溝内におけるスルーホール

の直上箇所とに第二の配線材料からなる第二の配線材料部が設けられ、かつ前記第一の溝内に前記第二の配線材料部とともに該第一の溝内を埋め込んだ状態で前記第二の配線材料より導電率の低い第一の配線材料からなる第一の配線材料部が設けられ、これにより前記第一の溝内とこれに連通するスルーホール内に前記第二の配線材料部と第一の配線材料部とからなる第一配線層が設けられ、前記第二の溝内の底部および側壁部に前記第一の配線材料からなる第一の配線材料部が設けられ、かつ該第二の溝内に連通するスルーホール内および前記第一の配線材料部上に該第一の配線材料部とともに前記第二の溝内を埋め込んだ状態で前記第二の配線材料からなる第二の配線材料部が設けられ、これにより前記第二の溝内とこれに連通するスルーホール内に前記第二の配線材料部と第一の配線材料部とからなる第二配線層が設けられたことを前記課題の解決手段とした。

【0013】請求項3記載の半導体素子の製造方法では、基体上に設けられた配線層の上に該配線層を覆って層間絶縁膜を形成する第一の工程と、この層間絶縁膜をエッチングして該層間絶縁膜を貫通しない状態に複数の開口凹部を形成する第二の工程と、開口凹部を形成した層間絶縁膜の前記開口凹部上を再度エッチングし、該開口凹部の少なくとも一つの上を通る第一の溝を前記開口凹部の内寸より広い幅に形成すると同時に、他の開口凹部の上を通る、前記第一の溝より幅の広い第二の溝を形成し、かつ前記開口凹部形成箇所を、層間絶縁膜を貫通して前記配線層に通じるスルーホールに形成する第三の工程と、前記スルーホール内および第一の溝内と、前記第二の溝内の底部および側壁部とに第一の配線材料を埋め込む第四の工程と、前記第二の溝内に前記第一の配線材料より導電率の高い第二の配線材料を埋め込む第五の工程と、前記第一、第二の溝内に埋め込んだ前記配線材料を残して層間絶縁膜表面上の第二の配線材料と第一の配線材料とを化学機械研磨法により研磨除去し、第一、第二の溝内に埋め込んだ前記配線材料との間に段差がなくなるように前記層間絶縁膜を露出させる第六の工程と、を備えてなることを前記課題の解決手段とした。

【0014】請求項4記載の半導体素子の製造方法では、基体上に設けられた配線層の上に該配線層を覆って層間絶縁膜を形成する第一の工程と、前記層間絶縁膜をエッチングして該層間絶縁膜内に第一の溝と該第一の溝より幅の広い第二の溝とを形成する第二の工程と、前記第一の溝内と第二の溝内とをエッチングし、前記層間絶縁膜を貫通して前記配線層に通じ、かつ前記第一の溝の幅より内寸の小さいスルーホールを形成する第三の工程と、前記スルーホール内および第一の溝内と、前記第二の溝内の底部および側壁部とに第一の配線材料を埋め込む第四の工程と、前記第二の溝内に前記第一の配線材料より導電率の高い第二の配線材料を埋め込む第五の工程と、前記第一、第二の溝内に埋め込んだ前記配線材料を

残して層間絶縁膜表面上の第二の配線材料と第一の配線材料とを化学機械研磨法により研磨除去し、第一、第二の溝内に埋め込んだ前記配線材料との間に段差がなくなるように前記層間絶縁膜を露出させる第六の工程と、を備えてなることを前記課題の解決手段とした。

【0015】請求項5記載の半導体素子の製造方法では、基体上に設けられた配線層の上に該配線層を覆って層間絶縁膜を形成する第一の工程と、前記層間絶縁膜をエッチングして該層間絶縁膜内に第一の溝と該第一の溝より幅の広い第二の溝とを形成する第二の工程と、前記第一の溝内と前記第二の溝内の底部および側壁部とに、第一の配線材料を埋め込む第三の工程と、前記第一の溝内と第二の溝内とをエッチングし、前記第一の配線材料および前記層間絶縁層を貫通して前記配線層に通じ、かつ前記第一の溝の幅より内寸の小さいスルーホールを形成する第四の工程と、前記スルーホール内に前記第一の配線材料より導電率の高い第二の配線材料を埋め込むとともに、前記第二の溝内に前記第二の配線材料を埋め込む第五の工程と、前記第一、第二の溝内に埋め込んだ前記配線材料を残して層間絶縁膜表面上の第二の配線材料と第一の配線材料とを化学機械研磨法により研磨除去し、第一、第二の溝内に埋め込んだ前記配線材料との間に段差がなくなるように前記層間絶縁膜を露出させる第六の工程と、を備えてなることを前記課題の解決手段とした。

【0016】

【作用】本発明における請求項1記載の半導体素子によれば、第二の溝が第一の溝より幅が広く形成され、かつ、この第二の溝内に設けられた第二配線層が第一の配線材料部とこれにより導電率が高い第二の配線材料部とからなっているため、この第二配線層が第一配線層に比べ低抵抗のものとなり、したがってこの第二配線層を例えば電源ライン等の大電流を必要とする配線として用いることにより、デバイススピードの低下を防止することが可能になる。また、第一の溝、第二の溝が共にスルーホールの内寸より幅が広く形成されているので、スルーホール内に埋め込まれる配線材料のカバレッジが良好になる。

【0017】請求項2記載の半導体素子によれば、第二の溝が第一の溝より幅が広く形成され、かつ、この第二の溝内に設けられた第二配線層が第一の配線材料部とこれにより導電率が高い第二の配線材料部とからなっているため、前記請求項1記載の半導体素子と同様にこの第二配線層が第一配線層に比べ低抵抗のものとなり、したがってこの第二配線層を例えば電源ライン等の大電流を必要とする配線として用いることにより、デバイススピードの低下を防止することが可能になる。また、第一の溝、第二の溝が共にスルーホールの内寸より幅が広く形成されているので、スルーホール内に埋め込まれる配線材料のカバレッジが良好になる。さらに、スルーホール

内に第二の配線材料が埋め込まれており、しかもこれが第一、第二の溝内にてそれぞれの溝の開口側に延びているので、該第二の配線材料と溝内に形成される配線層との接触面積が単にスルーホールの面積のみならず、溝内に延出した部分の表面積となり、したがってスルーホール抵抗の低減化が可能になる。

【0018】請求項3、4記載の半導体素子の製造方法によれば、層間絶縁膜をエッチングして第一の溝とこれより幅の広い第二の溝を形成するとともに、これらに連通するスルーホールを形成し、スルーホール内および第一の溝内と、前記第二の溝内の底部および側壁部とに第一の配線材料を埋め込み、さらに第二の溝内に前記第一の配線材料より導電率の高い第二の配線材料を埋め込むので、第二の溝内に形成される配線層が第一の配線材料とこれにより導電率が高い第二の配線材料とからなっているため、この配線層を第一の溝内に形成される配線層に比べ低抵抗のものにすることができる。また、スルーホールの内寸が第一の溝、第二の溝の幅より小さくなることから、スルーホール内に埋め込まれる配線材料のカバレッジを良好にすることが可能になる。

【0019】請求項5記載の半導体素子の製造方法によれば、層間絶縁膜をエッチングして第一の溝とこれより幅の広い第二の溝とを形成し、第一の溝内と前記第二の溝内の底部および側壁部とに第一の配線材料を埋め込んだ後、第一の溝内と第二の溝内とをエッチングしてスルーホールを形成し、これらスルーホール内に前記第一の配線材料より導電率の高い第二の配線材料を埋め込むとともに、前記第二の溝内に前記第二の配線材料を埋め込むので、第二の溝内に形成される配線層が第一の配線材料とこれにより導電率が高い第二の配線材料とからなっているため、この配線層を第一の溝内に形成される配線層に比べ低抵抗のものにすることができる。また、第一の溝の幅より内寸の小さいスルーホールを形成することから、スルーホール内に埋め込む配線材料のカバレッジを良好にすることが可能になる。さらに、第一の配線材料を貫通して貫通してスルーホールを形成し、該スルーホール内に第二の配線材料を埋め込むので、該スルーホール内の第二の配線材料と溝内に形成される配線層との接触面積が単にスルーホールの面積のみならず、溝内を通る部分の表面積となり、したがってスルーホール抵抗の低減化が可能になる。

【0020】

【実施例】以下、本発明を実施例により詳しく説明する。図1(a)～(c)は本発明の第一実施例を示す図であり、この第一実施例は本発明における請求項1、3記載の発明に係るものである。まず、図1(a)～(c)を参照し、請求項3記載の製造方法の一実施例について説明する。図1(a)に示すように、半導体素子の構成要素(図示略)を形成したIC基板21を用意し、これの上にBPSG等の絶縁膜22形成し、さらに

この絶縁膜22上にタングステン(W)からなる配線層23を形成する。なお、この配線層23については、公知のホトリソグラフィ技術、エッチング技術により、所定の形状にパターンニングしておく。次に、CVD法等により、 SiO_2 等からなる層間絶縁膜24を厚さ2 μm 形成し、その後、CMP法(化学機械研磨法)を用いて該層間絶縁膜24をその厚さが1.5 μm となるまで研磨し、該層間絶縁膜24を平坦化する。

【0021】次いで、この層間絶縁膜24上にレジスト層(図示略)を形成し、さらにこれを露光・現像して所定形状にパターンニングする。そして、このレジストパターン(図示略)をマスクとして層間絶縁膜24をエッチングし、図1(a)中二点鎖線で示す開口凹部25を複数形成する。この開口凹部25については、後述するようにスルーホールとなるものであることから、その平面視形状が例えば円形とされ、さらにその内径(内寸)も所望するスルーホールの内径(内寸)に略一致するように形成される。また、この開口凹部25の深さについては800nmとされ、この深さになった時点でエッチングを終了させる。エッチングとしてはドライエッチングが採用され、またそのエッチング条件としては、例えばエッチングガスとその流量として C_2F_6 、5.0SCCM、 CHF_3 、1.0SCCMを採用し、RFパワーが2kW、圧力が80Paで行う。

【0022】次いで、層間絶縁膜24上に形成したレジストパターンを除去し、さらに再度該層間絶縁膜24上にレジスト層(図示略)を形成し、これを露光・現像して所定形状にパターンニングする。ここで、パターンニングによって形成するレジストパターン(図示略)は、前記配線層の上に位置する配線層のパターンとなるものであり、このパターンとしては、前記開口凹部25…のうちの少なくとも一つの上を通る細い溝状部と、残りの開口凹部のうちの少なくとも一つの上を通る太い溝状部、すなわち前記細い溝状部に比べ幅の広い溝状部を有したパターンとされ、かつ、その細い溝状部の幅が、前記開口凹部25の内寸より広い幅となるパターンとされる。

【0023】そして、このレジストパターン(図示略)をマスクとして層間絶縁膜24を再度エッチングし、配線層パターンとなる第一の溝26とこれより幅の広い第二の溝27とを形成する。ここで、エッチング条件としては、先の開口凹部25形成の際のエッチング条件と同様の条件が採用される。また、第一の溝26、第二の溝27の深さについては700nmとされ、この深さになった時点でエッチングを終了させる。このようにしてエッチングを行うと、前記開口凹部25の底面も同時にエッチングされることから、該開口凹部25が層間絶縁膜24を貫通して配線層23にまで到達し、これにより前記第一の溝26、第二の溝27の形成と同時に開口凹部25がエッチングされてなるスルーホール28が形成さ

れる。

【0024】次いで、形成したスルーホール28…内の底部、すなわち該スルーホール28内に臨む配線層23の上面をクリーニングし、表面に形成された酸化膜等を除去する。クリーニングの方法としては、配線層23としてWを用いているので、F系のガス、例えば NF_3 、もしくは CF_4 等のプラズマを用いて行うか、あるいはAr等の不活性ガスの逆スパッタを行えばよい。なお、配線層23として他の金属を用いた場合には、用いた金属をエッチングできるガスで行うか、あるいはAr等の不活性ガスで逆スパッタを行えばよい。そして、このようにしてクリーニングを行った後、CVD法あるいはスパッタ法により、図1(b)に示すように層間絶縁膜24の上面側全面、すなわちスルーホール28に臨む配線層23の面、スルーホール28の内面、第一の溝26の内面、第二の溝27の内面、および層間絶縁膜24の上面にTiN(窒化チタン)等を厚さ50nm程度に堆積し、後述するWからなる膜に対する密着層29を形成する。

【0025】次いで、CVD法によって層間絶縁膜24の全面に高融点金属からなる第一の配線材料、本実施例ではWを堆積させ、前記スルーホール28内および第一の溝26内と、前記第二の溝27内の底部および側壁部とにW(第一の配線材料)を埋め込み、W膜(第一の配線材料部)30を形成する。W膜30の形成条件としては、例えば温度:400~500℃、WF₆ガス:4.0~10.0SCCM、H₂ガス:10.00~20.00SCCM、Arガス15.00~30.00SCCM、圧力:2.0~10.0Torrで行う。また、形成するW膜30の膜厚としては、前記第一の溝26の幅の半分強でよく、これにより該W膜30でスルーホール28内と第一の溝26内が埋まり、一方、第二の溝27内ではその底部と側壁部とにのみW膜30が均一に付着する。

【0026】次いで、層間絶縁膜24の全面に前記第一の配線材料より導電率の高い第二の配線材料、本実施例ではCu(銅)を堆積させ、前記第二の溝27内にCu(第二の配線材料)を埋め込み、Cu膜(第二の配線材料部)31を形成する。Cu膜の形成方法としては、CVD法を用いる場合、ガスとしてHFA銅(ヘキサフルオロアセチルアセトネート銅)・ヒストリメチルシリルアセチレン付加体や、Cu(HFA)、等を用いる熱CVD法が採用される。また、スパッタ法を用いる場合には、Cuを直接堆積させてCu膜を形成するか、もしくは堆積後450℃の熱処理を施してCuをリフローさせ、平坦性を向上したCu膜を得るといった方法が採用される。

【0027】なお、第二の配線材料としては、第一の配線材料、すなわちWより導電率が高くしたがって抵抗が低いものであればよく、例えばAlやAl合金、さらにはCu合金を用いることもできる。そして、例えばAl

を用いた場合のA1膜の形成方法としては、CVD法を用いる場合、ガスとしてトリイソプチルアルミニウムやジメチルアルミハイドライド等を用いる熱CVDが採用される。また、スパッタ法を用いる場合には、A1を直接堆積させてA1膜を形成するか、もしくは堆積後熱処理を施してA1をリフローさせ、平坦性を向上したA1膜を得るか、さらには基板温度を400℃以上にしてA1をスパッタし、得られるA1膜の平坦性を向上させるといった方法が採用される。

【0028】その後、第一、第二の溝26、27内に埋め込んだW膜30、Cu膜31を残してCMP法により層間絶縁膜24表面上のCu膜31とW膜30と密着層29とを同時に研磨し、これらを除去して図1(c)に示すように第一、第二の溝26、27内のW膜30、Cu膜31との間に段差がなくなるように前記層間絶縁膜24を露出させる。そして、このように第一の溝26内とこれに連通するスルーホール28内にW膜30を埋め込んで該W膜30からなる第一配線層32を層間絶縁膜24との間に段差なく形成し、かつ、第二の溝27内とこれに連通するスルーホール28内にW膜30およびCu膜31からなる第二配線層33を層間絶縁膜24との間に段差なく形成することにより、本発明における請求項1記載の半導体素子の一実施例品である半導体素子34を得る。

【0029】このようにして得られた半導体素子34にあっては、スルーホール28内と第一の溝26内全てにWが埋め込まれて第一配線層32が形成され、第一の溝26より幅の広い第二の溝27内にWとこれより導電率の高いCu（あるいはA1、A1合金、Cu合金）とが埋め込まれて第二配線層33が形成されていることから、この第二配線層33が第一配線層32に比べ低抵抗のものとなり、したがってこの第二配線層33を例えば電源ライン等の大電流を必要とする配線として用いることにより、デバイススピードの低下を防止することできる。また、第一の溝26、第二の溝27が共にスルーホール28の内寸より幅が広く形成されているので、スルーホール28内に埋め込まれる配線材料のカバレッジを良好にすることができる。

【0030】さらに、一般に極細の配線では充分なエレクトロマイグレーション耐性およびストレスマイグレーション耐性が要求されるが、W膜30の方がCu膜31よりもエレクトロマイグレーション耐性およびストレスマイグレーション耐性が極めて高いため、W膜30のみからなる第一配線層32をこのような用途に好適に用いることができる。また、膜ストレスの大きいW膜30を厚く形成する必要がないため、ウエハ（基板）に対するストレスを緩和することもできる。また、このような半導体素子34の製造方法にあっては、前述したような効果を奏する半導体素子34を容易に製造することができ、しかも、通常Cu膜31は密着層が必要とされる

が、先に形成しているW膜30がCu膜31の密着層として機能することから、Cu膜31形成のための密着層を別に形成する必要がなく、これにより製造の容易化を図ることができる。

【0031】なお、前記実施例では、開口凹部25を形成した後、第一の溝26および第二の溝27の形成のためのエッチングを行い、これにより開口凹部25の底面を同時にエッチングしてスルーホール28を形成したが、開口凹部25を形成することなく直接第一の溝26および第二の溝27の形成のためのエッチングを行い、その後、これら溝26、27内にスルーホール形成のためのエッチングを行ってもよい。また、前記実施例では、配線層23の上に第一配線層32と第二配線層33とからなる上層配線を形成した二層配線の半導体素子の例を示したが、本発明はこれに限定されることなく、第一配線層32と第二配線層33とからなる上層配線の上に、前記工程を順次繰り返すことにより、三層またはそれ以上の多層配線を有する半導体素子とすることもできる。

【0032】図2(a)～(c)は本発明の第二実施例を示す図であり、この第二実施例は本発明における請求項2、5記載の発明に係るものである。まず、図2(a)～(c)を参照し、請求項3記載の製造方法の一実施例について説明する。第一実施例と同様にして、図2(a)に示すように、IC基板41の上に絶縁膜42形成し、さらにこの絶縁膜42上にWからなる配線層43を形成する。なお、この配線層43についても、公知のホトリソグラフィ技術、エッチング技術により、所定の形状にパターンニングしておく。次に、CVD法等により、SiO₂等からなる層間絶縁膜44を厚さ2μm形成し、その後、CMP法を用いて該層間絶縁膜44をその厚さが1.5μmとなるまで研磨し、該層間絶縁膜44を平坦化する。

【0033】次いで、この層間絶縁膜44上にレジスト層（図示略）を形成し、さらにこれを露光・現像して所定形状にパターンニングする。そして、このレジストパターン（図示略）をマスクとして層間絶縁膜44をエッチングし、該層間絶縁膜44内に第一配線層パターン形状の第一の溝45と、該第一の溝45より幅の広い第二配線層パターン形状の第二の溝46とを形成する。エッチング条件としては前記第一実施例における開口凹部25のエッチング条件と同様とし、また、第一の溝45、第二の溝46の深さについては700nm程度とする。次いで、層間絶縁膜44上に形成したレジストターンを除去し、続いて該層間絶縁膜44の上面側全面、すなわち第一の溝45、第二の溝46の内面、および層間絶縁膜44の上面にTiN（窒化チタン）を厚さ50nm程度に堆積し、後述するWからなる膜に対する密着層47を形成する。

【0034】次いで、CVD法によって層間絶縁膜44

の全面に第一の配線材料、本実施例ではWを堆積させ、第一の溝45内にW（第一の配線材料）を埋め込むと同時に、第二の溝46内の底部および側壁部にWを付着させ、W膜（第一の配線材料部）48を形成する。W膜48の形成条件としては、前記第一実施例におけるW膜30の形成方法と同様の条件が採用される。また、形成するW膜48の膜厚としては、前記第一実施例と同様に第一の溝45の幅の半分強でよく、これにより該W膜48で第一の溝45内が埋まり、一方、第二の溝46内ではその底部と側壁部とにのみW膜48が均一に付着する。

【0035】次いで、層間絶縁膜44上の前記W膜48の上にレジスト層（図示略）を形成し、これを露光・現像して所定形状にパターンニングする。ここで、パターンニングによって形成するレジストパターン（図示略）としては、所望するスルーホール形状、すなわち円孔状の凹部を形成したパターンとされ、また円孔状の凹部の位置としては、前記第一の溝45の底面の直上、および第二の溝の底面の直上の所定位置とされる。なお、この円孔状の凹部の開口径については、前記第一の溝45の幅より小径とされる。

【0036】そして、このレジストパターン（図示略）をマスクとしてW膜48、層間絶縁膜44を再度エッチングし、W膜48および層間絶縁膜44を貫通して前記配線層43に通じ、かつ前記第一の溝45の幅より内径の小さいスルーホール49を形成する。このときのエッチングとしては、W膜48をSF₆；50～100SCCM、RFパワー；10～100W、圧力；0.1～0.5Paの条件でエッチングした後、密着層47であるTiNをCl₂；10～300SCCM、RFパワー70W、圧力0.1～0.5Paの条件で続けてエッチングし、さらに層間絶縁膜44をC₄F₈；50SCCM、CHF₃；10SCCM、RFパワー；2kW、圧力；80Paの条件でエッチングする。なお、このエッチングにあたっては、第一の溝45内に形成されたW膜48と第二の溝46内に形成されたW膜48との間の高低差に起因して、第二の溝46内に形成されるスルーホール49が配線層43中にまで深く形成されないように考慮して行うのはもちろんである。

【0037】次いで、前記レジストパターンを除去し、続いてW膜48の表面およびスルーホール49内…内の底部、すなわち該スルーホール49内に臨む配線層43の上面の自然酸化膜をプラズマで除去する。使用するガスとしては、配線層43としてWを用いているので、NF₃、もしくはCF₄等のF系のガスによって行うことができる。なお、配線層43として他の金属を用いた場合には、Ar等の不活性ガスによる逆スパッタクリーニング法を採用することができる。そして、このようにクリーニング処理して自然酸化膜を除去した後、層間絶縁膜44の全面に前記第一の配線材料より導電率の高い第二の配線材料、具体的には第一実施例と同様にCu（銅）

を堆積させ、図2(c)に示すように該Cuをスルーホール49内、および第二の溝46内における前記W膜48上に埋め込み、Cu膜（第二の配線材料部）50を形成する。

【0038】Cu膜50の厚さは100nm程度とされ、またCu膜50の堆積法としては、先の第一実施例と同様のCVD法、あるいはスパッタ法が用いられる。スパッタ法を用いる場合には、例えばスパッタCu膜を形成した後、450℃以上で熱処理をしてスルーホール49内にCuを流し込むといった方法が採られる。また、Cuの代わりにAlやAl合金、Cu合金を用いることもでき、例えばAlを用いる場合には、先の第一実施例で述べたようにCVD法によってAl膜を形成する方法、もしくはAl膜をスパッタ法で形成した後、400℃以上の温度で熱処理してAlをスルーホール内に流し込む方法、さらにはAl膜をスパッタ法で形成した後、400℃以上の温度と大気圧以上の圧力を用いてAlをスルーホール内に押し込むといった方法が採用される。

【0039】その後、第一、第二の溝45、46内に埋め込んだW膜48、Cu膜50を残してCMP法により層間絶縁膜44表面上のCu膜50とW膜48と密着層47とを同時に研磨し、これらを除去して図2(c)に示すように第一、第二の溝45、46内のW膜48、Cu膜50との間に段差がなくなるように前記層間絶縁膜44を露出させる。そして、このように第一の溝45内とこれに連通するスルーホール49内にW膜48およびCu膜50を埋め込んで該W膜48とCu膜50とからなる第一配線層51を層間絶縁膜44との間に段差なく形成し、かつ、第二の溝46内とこれに連通するスルーホール49内にW膜48とCu膜50とからなる第二配線層52を層間絶縁膜44との間に段差なく形成することにより、本発明における請求項2記載の半導体素子の一実施例品である半導体素子53を得る。

【0040】このようにして得られた半導体素子53にあっては、第二の溝46が第一の溝45より幅が広く形成され、かつ、この第二の溝46内に設けられたWとこれより導電率の高いCu（あるいはAl、Al合金、Cu合金）とが埋め込まれて第二配線層52が形成されていることから、この第二配線層52が第一配線層51に比べ低抵抗のものとなり、したがってこの第二配線層52を例えば電源ライン等の大電流を必要とする配線として用いることにより、デバイススピードの低下を防止することができる。また、第一の溝45、第二の溝46が共にスルーホール49の内径より幅が広く形成されているので、スルーホール49内に埋め込まれる配線材料のカバレッジを良好にすることができる。

【0041】さらに、スルーホール49内にWより導電率の高いCu等の第二の配線材料が埋め込まれており、しかもこれが第一、第二の溝45、46内にてそれぞれ

の溝の開口側に延びているので、該第二の配線材料と溝45、46内に形成される配線層51、52との接触面積が単にスルーホール48の面積のみならず、溝45、46内に延出した部分の表面積となり、したがってスルーホール抵抗を大幅に低下させることができる。また、第一の溝45内におけるスルーホール49内上部には低抵抗材料であるCuが埋め込まれているので、例えば第一配線層51の上にさらにその上層配線を形成し、前記スルーホール49の上にさらにスルーホールを重ねた場合、より一層低抵抗なスルーホールとなり、その性能が一層向上したものとなる。

【0042】また、このような半導体素子53の製造方法にあっては、前述したような効果を奏する半導体素子53を容易に製造することができ、しかも、通常Cu膜31は密着層が必要とされるが、先に形成しているW膜48がCu膜50の密着層として機能することから、Cu膜50形成のための密着層を別に形成する必要がなく、これにより製造の容易化を図ることができる。また、Cu膜50等のSiO₂と密着性が悪い金属でも、これの形成時には溝45、46内にW膜48が存在しているため、密着層を必要とせずに形成できる。さらに、膜ストレスの強いW膜48を厚く形成する必要がないので、IC基板41（ウエハ）に対するストレスも低減できる。

【0043】なお、前記実施例においても、配線層43の上に第一配線層51と第二配線層52とからなる上層配線を形成した二層配線の半導体素子の例を示したが、本発明はこれに限定されることなく、第一配線層51と第二配線層52とからなる上層配線の上に、前記工程を順次繰り返すことにより、三層またはそれ以上の多層配線を有する半導体素子とすることもできる。また、前記第一実施例、第二実施例のいずれも、その第一の配線材料として高融点金属であるWを用いたが、例えば高融点金属の窒化物またはシリサイド、具体的には窒化チタン(TiN)やタングステンシリサイド(WSi₂)を用いることもできる。

【0044】

【発明の効果】以上説明したように本発明の半導体素子は、第二配線層を第一配線層に比べ低抵抗のものとした*

*ものであるから、この第二配線層を例えば電源ライン等の大電流を必要とする配線として用いることにより、デバイススピードの低下を防止することができる。また、第一の溝、第二の溝が共にスルーホールの内寸より幅が広く形成されているので、スルーホール内に埋め込まれる配線材料のカバレッジが良好なものとなる。また、特に請求項2記載の半導体素子は、スルーホール内に第二の配線材料が埋め込まれ、これが第一、第二の溝内にてそれぞれの溝の開口側に延びたものであるから、該第二の配線材料と溝内に形成される配線層との接触面積が単にスルーホールの面積のみならず、溝内に延出した部分の表面積となり、したがってスルーホール抵抗を低下させることができる。本発明の半導体素子の製造方法にあっては、前述したような効果を奏する半導体素子を容易に製造することができる。

【図面の簡単な説明】

【図1】(a)～(c)は本発明の製造方法の第一実施例を製造工程順に説明するための要部側断面図である。

【図2】(a)～(c)は本発明の製造方法の第二実施例を製造工程順に説明するための要部側断面図である。

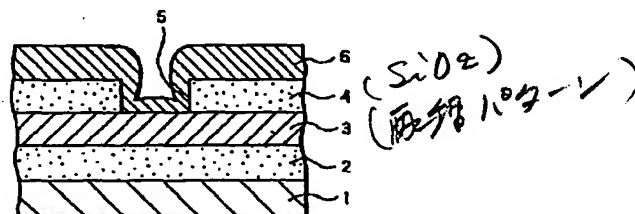
【図3】従来の半導体素子の製造方法の一例を説明するための要部側断面図である。

【図4】(a)、(b)は従来の半導体素子の製造方法の他の例を工程順に説明するための要部側断面図である。

【符号の説明】

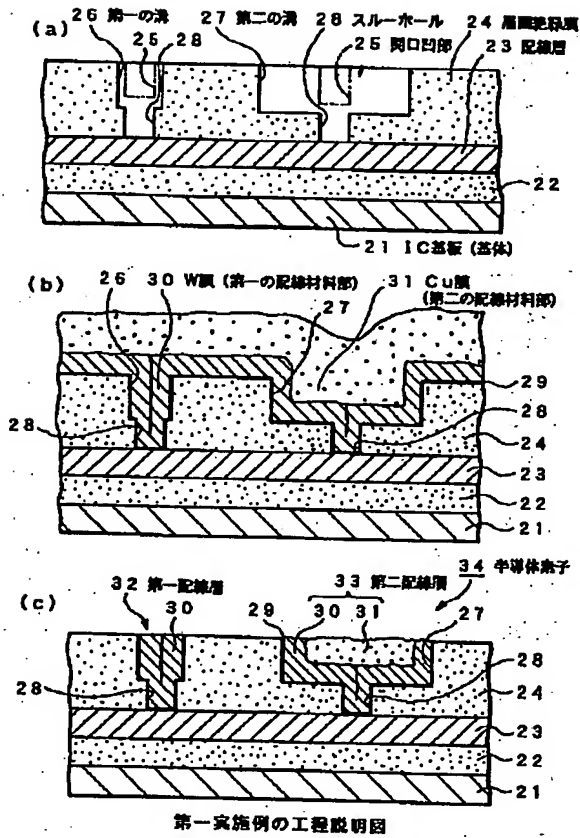
- 21、41 IC基板（基体）
- 23、43 配線層
- 24、44 層間絶縁膜
- 25 開口凹部
- 26、45 第一の溝
- 27、46 第二の溝
- 28、49 スルーホール
- 30、48 W膜（第一の配線材料部）
- 31、50 Cu膜（第二の配線材料部）
- 32、51 第一配線層
- 33、52 第二配線層
- 34、53 半導体素子

【図3】（従来例）

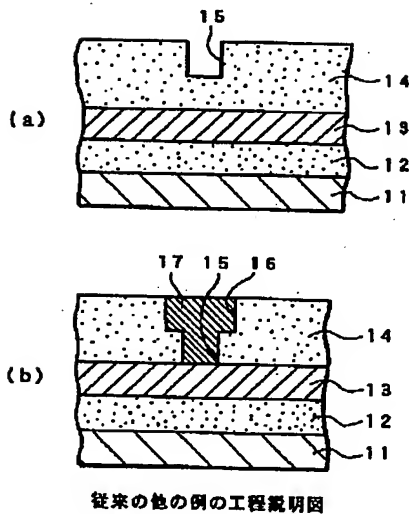


従来の一例の説明図

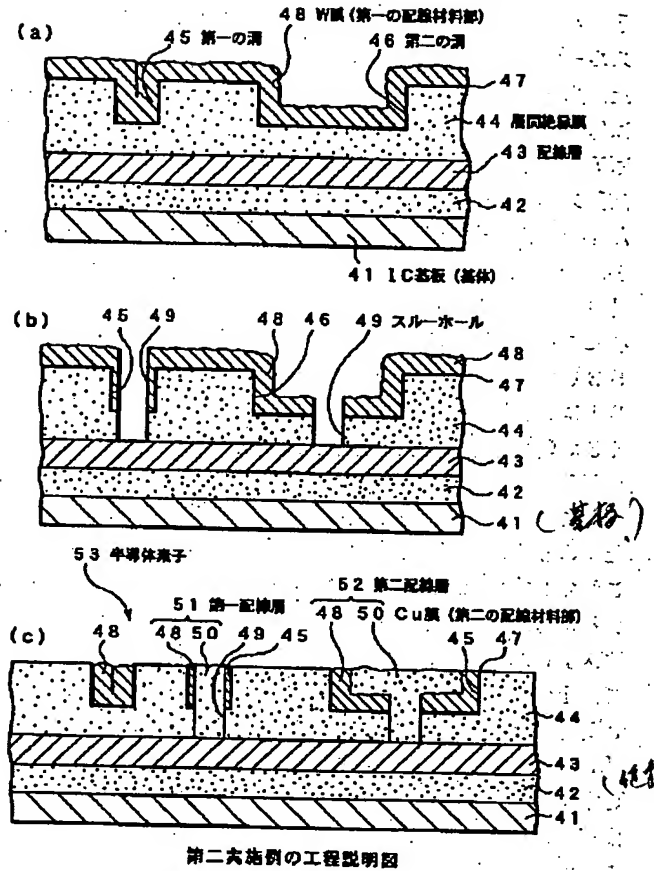
【図1】



【図4】



【図2】



【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第7部門第2区分
 【発行日】平成13年11月9日(2001.11.9)

【公開番号】特開平8-298285
 【公開日】平成8年11月12日(1996.11.12)
 【年通号数】公開特許公報8-2983
 【出願番号】特願平7-103283
 【国際特許分類第7版】

H01L 21/768
 21/28 301
 21/3205

【F1】

H01L 21/90 B
 21/28 301 R
 21/88 K

【手続補正書】

【提出日】平成13年2月23日(2001.2.23)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 基体と、

前記基体上に形成された下層配線層と、
 前記下層配線層を覆い、第1の溝及び前記第1の溝よりも幅が広い第2の溝が形成された層間絶縁膜と、
 前記第1の溝から前記下層配線層まで連通した第1のスルーホール及び前記第2の溝から前記下層配線層まで連通した第2のスルーホールと、
 前記第1の溝および前記第1のスルーホールに埋め込まれた第1の配線材料からなる第1の配線と、
 前記第2の溝の底部及び側壁部に形成されるとともに、前記第2のスルーホールに埋め込まれた前記第1の配線材料からなる層と、前記第1の配線材料からなる層の上の、前記第1の配線材料よりも導電率が高い第2の配線材料からなる層とで構成される第2の配線とを有することを特徴とする半導体素子。

【請求項2】 基体と、

前記基体上に形成された下層配線層と、
 前記下層配線層を覆い、第1の溝及び前記第1の溝よりも幅が広い第2の溝が形成された層間絶縁膜と、
 前記第1の溝から前記下層配線層まで連通した第1のスルーホール及び前記第2の溝から前記下層配線層まで連通した第2のスルーホールと、
 前記第1の溝に形成された第1の配線材料からなる層と、前記第1のスルーホール及び前記第1のスルーホー

ルの直上に埋め込まれた前記第1の配線材料よりも導電率が高い第2の配線材料からなる層とで構成される第1の配線と、

前記第2の溝の底部及び側壁部に形成された前記第1の配線材料からなる層と、前記第2のスルーホールと、前記第2のスルーホールの直上と、前記第1の配線材料の上に前記第2の溝を埋め込むように形成された、前記第2の配線材料からなる層とで構成される第2の配線とを有することを特徴とする半導体素子。

【請求項3】 基体上に設けられた下層配線層の上に、第1の溝、前記第1の溝よりも幅の広い第2の溝、第1の溝から前記下層配線層まで連通している第1のスルーホール、前記第2の溝から前記下層配線層まで連通している第2のスルーホールをそれぞれ有する層間絶縁膜を形成する工程と、

前記第1のスルーホールおよび前記第2のスルーホールを埋め込むとともに、前記第1の溝および前記第2の溝を含む前記層間絶縁膜上に、第1の配線材料からなる層を形成する工程と、

前記第1の配線材料からなる層の上に、前記第1の配線材料よりも高い導電率を有する第2の配線材料からなる層を堆積し、前記第2の溝を埋め込む工程と、
 前記層間絶縁膜が露出されるまで、前記第1の配線材料からなる層及び前記第2の配線材料からなる層を研磨除去する工程とを有することを特徴とする半導体素子の製造方法。

【請求項4】 基体上に設けられた下層配線層の上に層間絶縁膜を形成する工程と、
 前記層間絶縁膜に第1の凹部および第2の凹部をエッチングにより形成する工程と、

前記第1の凹部、前記第2の凹部、前記第1の凹部の周囲、前記第2の凹部の周囲を再度エッチングすることに

よって、第1の溝および前記第1の溝よりも幅の広い第2の溝を形成すると同時に、第1の溝から前記下層配線層まで連通している第1のスルーホールおよび前記第2の溝から前記下層配線層まで連通している第2のスルーホールを形成する工程と、

前記第1のスルーホールおよび前記第2のスルーホールを埋め込むとともに、前記第1の溝および前記第2の溝を含む前記層間絶縁膜上に、第1の配線材料からなる層を形成する工程と、

前記第1の配線材料からなる層の上に、前記第1の配線材料よりも高い導電率を有する第2の配線材料からなる層を堆積し、前記第2の溝を埋め込む工程と、前記層間絶縁膜が露出されるまで、前記第1の配線材料からなる層及び前記第2の配線材料からなる層を研磨除去する工程とを有することを特徴とする半導体素子の製造方法。

【請求項5】 基体上に設けられた下層配線層の上に層間絶縁膜を形成する工程と、

前記層間絶縁膜に、第1の溝及び前記第1の溝よりも幅の広い第2の溝とを形成する工程と、

前記第1の溝から前記下層配線層まで連通した第1のスルーホール及び前記第2の溝から前記下層配線層まで連通した第2のスルーホールを形成する工程と、

前記第1のスルーホールおよび前記第2のスルーホールを埋め込むとともに、前記第1の溝および前記第2の溝を含む前記層間絶縁膜上に、第1の配線材料からなる層を形成する工程と、

前記第1の配線材料からなる層の上に、前記第1の配線材料よりも高い導電率を有する第2の配線材料からなる層を堆積し、前記第2の溝を埋め込む工程と、前記層間絶縁膜が露出されるまで、前記第1の配線材料からなる層及び前記第2の配線材料からなる層を研磨除去する工程とを有することを特徴とする半導体素子の製造方法。

【請求項6】 基体上に設けられた下層配線層の上に層間絶縁膜を形成する工程と、

前記層間絶縁膜に第1の溝及び前記第1の溝よりも幅の広い第2の溝とを形成する工程と、

前記第1の溝および前記第2の溝を含む前記層間絶縁膜上に、第1の配線材料からなる層を形成する工程と、

前記第1の配線材料からなる層を形成した後に、前記第1の溝から前記下層配線層まで連通した第1のスルーホール及び前記第2の溝から前記下層配線層まで連通した第2のスルーホールを形成する工程と、

前記第1の配線材料よりも導電率の高い第2の配線材料からなる層を形成し、前記第1のスルーホール、前記第2のスルーホール、前記第2の溝をそれぞれ埋め込む工程と、

前記層間絶縁膜が露出されるまで、前記第1の配線材料からなる層及び前記第2の配線材料からなる層を研磨除去する工程とを有することを特徴とする半導体素子の製造方法。

【請求項7】 基体と、

前記基体の上の第1の層に形成された下層配線と、

前記第1の層の上の第2の層に形成され、第1の溝及び前記第1の溝よりも幅が広い第2の溝を備えた層間絶縁膜と、

前記第1の溝から前記第1の層まで連通した第1のスルーホール及び前記第2の溝から前記第1の層まで連通した第2のスルーホールと、

前記第1の溝および前記第1のスルーホールに埋め込まれた第1の配線材料からなる第1の配線と、

前記第2の溝の底部及び側壁部に形成されるとともに、前記第2のスルーホールに埋め込まれた前記第1の配線材料からなる層と、前記第1の配線材料からなる層の上の、前記第1の配線材料よりも導電率が高い第2の配線材料からなる層とで構成される第2の配線とを有することを特徴とする半導体素子。

【請求項8】 基体と、

前記基体の上の第1の層に形成された下層配線と、

前記第1の層の上の第2の層に形成され、第1の溝及び前記第1の溝よりも幅が広い第2の溝が形成された層間絶縁膜と、

前記第1の溝から前記第1の層まで連通した第1のスルーホール及び前記第2の溝から前記第1の層まで連通した第2のスルーホールと、

前記第1の溝に形成された第1の配線材料からなる層と、前記第1のスルーホール及び前記第1のスルーホールの直上に埋め込まれた前記第1の配線材料よりも導電率が高い第2の配線材料からなる層とで構成される第1の配線と、

前記第2の溝の底部及び側壁部に形成された前記第1の配線材料からなる層と、前記第2のスルーホールと、前記第2のスルーホールの直上と、前記第1の配線材料の上に前記第2の溝を埋め込むように形成された、前記第2の配線材料からなる層とで構成される第2の配線とを有することを特徴とする半導体素子。

【請求項9】 基体上に設けられた第1の層の下層配線の上に、第1の溝、前記第1の溝よりも幅の広い第2の溝、前記第1の溝から前記第1の層まで連通している第1のスルーホール、前記第2の溝から前記第1の層まで連通している第2のスルーホールをそれぞれ有する第2の層の層間絶縁膜を形成する工程と、

前記第1のスルーホールおよび前記第2のスルーホールを埋め込むとともに、前記第1の溝および前記第2の溝を含む前記層間絶縁膜上に、第1の配線材料からなる層を形成する工程と、

前記第1の配線材料からなる層の上に、前記第1の配線材料よりも高い導電率を有する第2の配線材料からなる層を堆積し、前記第2の溝を埋め込む工程と、前記層間絶縁膜が露出されるまで、前記第1の配線材料からなる層及び前記第2の配線材料からなる層を研磨除去する工

程とを有することを特徴とする半導体素子の製造方法。

【請求項10】 基体上に設けられた第1の層の下層配線の上に第2の層の層間絶縁膜を形成する工程と、前記層間絶縁膜に第1の凹部および第2の凹部をエッチングにより形成する工程と、

前記第1の凹部、前記第2の凹部、前記第1の凹部の周囲、前記第2の凹部の周囲を再度エッチングすることによって、第1の溝および前記第1の溝よりも幅の広い第2の溝を形成すると同時に、前記第1の溝から前記第1の層まで連通している第1のスルーホールおよび前記第2の溝から前記第1の層まで連通している第2のスルーホールを形成する工程と、

前記第1のスルーホールおよび前記第2のスルーホールを埋め込むとともに、前記第1の溝および前記第2の溝を含む前記層間絶縁膜上に、第1の配線材料からなる層を形成する工程と、

前記第1の配線材料からなる層の上に、前記第1の配線材料よりも高い導電率を有する第2の配線材料からなる層を堆積し、前記第2の溝を埋め込む工程と、前記層間絶縁膜が露出されるまで、前記第1の配線材料からなる層及び前記第2の配線材料からなる層を研磨除去する工程とを有することを特徴とする半導体素子の製造方法。

【請求項11】 基体上に設けられた第1の層の下層配線の上に第2の層の層間絶縁膜を形成する工程と、前記層間絶縁膜に、第1の溝及び前記第1の溝よりも幅の広い第2の溝とを形成する工程と、

前記第1の溝から前記第1の層まで連通した第1のスルーホール及び前記第2の溝から前記第1の層まで連通した第2のスルーホールを形成する工程と、

前記第1のスルーホールおよび前記第2のスルーホールを埋め込むとともに、前記第1の溝および前記第2の溝を含む前記層間絶縁膜上に、第1の配線材料からなる層を形成する工程と、

前記第1の配線材料からなる層の上に、前記第1の配線材料よりも高い導電率を有する第2の配線材料からなる層を堆積し、前記第2の溝を埋め込む工程と、前記層間絶縁膜が露出されるまで、前記第1の配線材料からなる層及び前記第2の配線材料からなる層を研磨除去する工程とを有することを特徴とする半導体素子の製造方法。

【請求項12】 基体上に設けられた第1の層の下層配線の上に第2の層の層間絶縁膜を形成する工程と、前記層間絶縁膜に第1の溝及び前記第1の溝よりも幅の広い第2の溝とを形成する工程と、

前記第1の溝および前記第2の溝を含む前記層間絶縁膜上に、第1の配線材料からなる層を形成する工程と、

前記第1の配線材料からなる層を形成した後に、前記第1の溝から前記第1の層まで連通した第1のスルーホール及び前記第2の溝から前記第1の層まで連通した第2のスルーホールを形成する工程と、

前記第1の配線材料よりも導電率の高い第2の配線材料からなる層を形成し、前記第1のスルーホール、前記第2のスルーホール、前記第2の溝をそれぞれ埋め込む工程と、

前記層間絶縁膜が露出されるまで、前記第1の配線材料からなる層及び前記第2の配線材料からなる層を研磨除去する工程とを有することを特徴とする半導体素子の製造方法。

【請求項13】 基体と、

前記基体上に形成された、第1の溝及び前記第1の溝よりも幅が広い第2の溝を有する層間絶縁膜と、

前記第1、第2の溝のそれぞれ底部に設けられた、前記第1、第2の溝の下に形成された配線層にそれぞれ連通した第1、第2のスルーホールと、

前記第1の溝および前記第1のスルーホールに埋め込まれた第1の配線材料からなる第1の配線と、

前記第2の溝の底部及び側壁部に形成されるとともに、前記第2のスルーホールに埋め込まれた前記第1の配線材料からなる層と、前記第1の配線材料からなる層の上の、前記第1の配線材料よりも導電率が高い第2の配線材料からなる層とで構成される第2の配線とを有することを特徴とする半導体素子。

【請求項14】 基体と、

前記基体上に形成された、第1の溝及び前記第1の溝よりも幅が広い第2の溝を有する層間絶縁膜と、

前記第1、第2の溝のそれぞれ底部に設けられた、前記第1、第2の溝の下に形成された配線層にそれぞれ連通した第1、第2のスルーホールと、

前記第1の溝に形成された第1の配線材料からなる層と、前記第1のスルーホール及び前記第1のスルーホールの直上に埋め込まれた前記第1の配線材料よりも導電率が高い第2の配線材料からなる層とで構成される第1の配線と、

前記第2の溝の底部及び側壁部に形成された前記第1の配線材料からなる層と、前記第2のスルーホールと、前記第2のスルーホールの直上と、前記第1の配線材料の上に前記第2の溝を埋め込むように形成された、前記第2の配線材料からなる層とで構成される第2の配線とを有することを特徴とする半導体素子。

【請求項15】 基体上に、第1の溝、前記第1の溝よりも幅の広い第2の溝、前記第1、第2の溝の底部にそれぞれ設けられ、前記第1、第2の溝の下層にそれぞれ形成された配線層に連通している第1、第2のスルーホールを有する層間絶縁膜を形成する工程と、

前記第1のスルーホールおよび前記第2のスルーホールを埋め込むとともに、前記第1の溝および前記第2の溝を含む前記層間絶縁膜上に、第1の配線材料からなる層を形成する工程と、

前記第1の配線材料からなる層の上に、前記第1の配線材料よりも高い導電率を有する第2の配線材料からなる

層を堆積し、前記第2の溝を埋め込む工程と、前記層間絶縁膜が露出されるまで、前記第1の配線材料からなる層及び前記第2の配線材料からなる層を研磨除去する工程とを有することを特徴とする半導体素子の製造方法。

【請求項16】 前記第1の配線材料として高融点金属あるいは高融点金属の窒化物またはシリサイドを用い、前記第2の配線材料として、Cu、AlあるいはCu系合金、Al系合金を用いることを特徴とする請求項1、2、7、8、13、14記載の半導体素子。

【請求項17】 前記第1の配線材料として高融点金属あるいは高融点金属の窒化物またはシリサイドを用い、前記第2の配線材料として、Cu、AlあるいはCu系合金、Al系合金を用いることを特徴とする請求項3、4、5、6、9、10、11、12、15記載の半導体素子の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0011

【補正方法】変更

【補正内容】

【0011】

【課題を解決するための手段】本発明における請求項1記載の半導体素子では、基体と、前記基体上に形成された下層配線層と、前記下層配線層を覆い、第1の溝及び前記第1の溝よりも幅が広い第2の溝が形成された層間絶縁膜と、前記第1の溝から前記下層配線層まで連通した第1のスルーホール及び前記第2の溝から前記下層配線層まで連通した第2のスルーホールと、前記第1の溝および前記第1のスルーホールに埋め込まれた第1の配線材料からなる第1の配線と、前記第2の溝の底部及び側壁部に形成されるとともに、前記第2のスルーホールに埋め込まれた前記第1の配線材料からなる層と、前記第1の配線材料からなる層の上、前記第1の配線材料よりも導電率が高い第2の配線材料からなる層とで構成される第2の配線とを有することで前記課題の解決手段とした。請求項2記載の半導体素子では、基体と、この基体上に形成された下層配線層と、前記下層配線層を覆い、第1の溝及び前記第1の溝よりも幅が広い第2の溝が形成された層間絶縁膜と、前記第1の溝から前記下層配線層まで連通した第1のスルーホール及び前記第2の溝から前記下層配線層まで連通した第2のスルーホールと、前記第1の溝に形成された第1の配線材料からなる層と、前記第1のスルーホール及び前記第1のスルーホールの直上に埋め込まれた前記第1の配線材料よりも導電率が高い第2の配線材料からなる層とで構成される第1の配線と、前記第2の溝の底部及び側壁部に形成された前記第1の配線材料からなる層と、前記第2のスルーホールと、前記第2のスルーホールの直上と、前記第1の配線材料の上に前記第2の溝を埋め込むように形成さ

れた、前記第2の配線材料からなる層とで構成される第2の配線とを有することで前記課題の解決手段とした。請求項3記載の半導体素子の製造方法では、基体上に設けられた下層配線層の上に、第1の溝、前記第1の溝よりも幅の広い第2の溝、第1の溝から前記下層配線層まで連通している第1のスルーホール、前記第2の溝から前記下層配線層まで連通している第2のスルーホールをそれぞれ有する層間絶縁膜を形成する工程と、前記第1のスルーホールおよび前記第2のスルーホールを埋め込むとともに、前記第1の溝および前記第2の溝を含む前記層間絶縁膜上に、第1の配線材料からなる層を形成する工程と、前記第1の配線材料からなる層の上に、前記第1の配線材料よりも高い導電率を有する第2の配線材料からなる層を堆積し、前記第2の溝を埋め込む工程と、前記層間絶縁膜が露出されるまで、前記第1の配線材料からなる層及び前記第2の配線材料からなる層を研磨除去する工程とを有することを前記課題の解決手段とした。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0012

【補正方法】変更

【補正内容】

【0012】請求項4記載の半導体素子の製造方法では、基体上に設けられた下層配線層の上に層間絶縁膜を形成する工程と、前記層間絶縁膜に第1の凹部および第2の凹部をエッチングにより形成する工程と、前記第1の凹部、前記第2の凹部、前記第1の凹部の周囲、前記第2の凹部の周囲を再度エッチングすることによって、第1の溝および前記第1の溝よりも幅の広い第2の溝を形成すると同時に、第1の溝から前記下層配線層まで連通している第1のスルーホールおよび前記第2の溝から前記下層配線層まで連通している第2のスルーホールを形成する工程と、前記第1のスルーホールおよび前記第2のスルーホールを埋め込むとともに、前記第1の溝および前記第2の溝を含む前記層間絶縁膜上に、第1の配線材料からなる層を形成する工程と、前記第1の配線材料からなる層の上に、前記第1の配線材料よりも高い導電率を有する第2の配線材料からなる層を堆積し、前記第2の溝を埋め込む工程と、前記層間絶縁膜が露出されるまで、前記第1の配線材料からなる層及び前記第2の配線材料からなる層を研磨除去する工程とを有することを前記課題の解決手段とした。請求項5記載の半導体素子の製造方法では、基体上に設けられた下層配線層の上に層間絶縁膜を形成する工程と、前記層間絶縁膜に、第1の溝及び前記第1の溝よりも幅の広い第2の溝とを形成する工程と、前記第1の溝から前記下層配線層まで連通した第1のスルーホール及び前記第2の溝から前記下層配線層まで連通した第2のスルーホールを形成する工程と、前記第1のスルーホールおよび前記第2のスルー

ホールを埋め込むとともに、前記第1の溝および前記第2の溝を含む前記層間絶縁膜上に、第1の配線材料からなる層を形成する工程と、前記第1の配線材料からなる層の上に、前記第1の配線材料よりも高い導電率を有する第2の配線材料からなる層を堆積し、前記第2の溝を埋め込む工程と、前記層間絶縁膜が露出されるまで、前記第1の配線材料からなる層及び前記第2の配線材料からなる層を研磨除去する工程とを有することを前記課題の解決手段とした。請求項6記載の半導体素子の製造方法では、基体上に設けられた下層配線層の上に層間絶縁膜を形成する工程と、前記層間絶縁膜に第1の溝及び前記第1の溝よりも幅の広い第2の溝とを形成する工程と、前記第1の溝および前記第2の溝を含む前記層間絶縁膜上に、第1の配線材料からなる層を形成する工程と、前記第1の配線材料からなる層を形成した後、前記第1の溝から前記下層配線層まで連通した第1のスルーホール及び前記第2の溝から前記下層配線層まで連通した第2のスルーホールを形成する工程と、前記第1の配線材料よりも導電率の高い第2の配線材料からなる層を形成し、前記第1のスルーホール、前記第2のスルーホール、前記第2の溝をそれぞれ埋め込む工程と、前記層間絶縁膜が露出されるまで、前記第1の配線材料からなる層及び前記第2の配線材料からなる層を研磨除去する工程とを有することを前記課題の解決手段とした。請求項7記載の半導体素子では、基体と、この基体上の第1の層に形成された下層配線と、前記第1の層の上の第2の層に形成され、第1の溝及び前記第1の溝よりも幅の広い第2の溝を備えた層間絶縁膜と、前記第1の溝から前記第1の層まで連通した第1のスルーホール及び前記第2の溝から前記第1の層まで連通した第2のスルーホールと、前記第1の溝および前記第1のスルーホールに埋め込まれた第1の配線材料からなる第1の配線と、前記第2の溝の底部及び側壁部に形成されるとともに、前記第2のスルーホールに埋め込まれた前記第1の配線材料からなる層と、前記第1の配線材料からなる層の上、前記第1の配線材料よりも導電率が高い第2の配線材料からなる層とで構成される第2の配線とを有することを前記課題の解決手段とした。

【手続補正4】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正内容】

【0013】請求項8記載の半導体素子では、基体と、この基体上の第1の層に形成された下層配線と、前記第1の層の上の第2の層に形成され、第1の溝及び前記第1の溝よりも幅の広い第2の溝が形成された層間絶縁膜と、前記第1の溝から前記第1の層まで連通した第1のスルーホール及び前記第2の溝から前記第1の層まで連通した第2のスルーホールと、前記第1の溝に形成さ

れた第1の配線材料からなる層と、前記第1のスルーホール及び前記第1のスルーホールの直上に埋め込まれた前記第1の配線材料よりも導電率が高い第2の配線材料からなる層とで構成される第1の配線と、前記第2の溝の底部及び側壁部に形成された前記第1の配線材料からなる層と、前記第2のスルーホールと、前記第2のスルーホールの直上と、前記第1の配線材料の上に前記第2の溝を埋め込むように形成された、前記第2の配線材料からなる層とで構成される第2の配線とを有することを前記課題の解決手段とした。請求項9記載の半導体素子の製造方法では、基体上に設けられた第1の層の下層配線の上に、第1の溝、前記第1の溝よりも幅の広い第2の溝、前記第1の溝から前記第1の層まで連通している第1のスルーホール、前記第2の溝から前記第1の層まで連通している第2のスルーホールをそれぞれ有する第2の層の層間絶縁膜を形成する工程と、前記第1のスルーホールおよび前記第2のスルーホールを埋め込むとともに、前記第1の溝および前記第2の溝を含む前記層間絶縁膜上に、第1の配線材料からなる層を形成する工程と、前記第1の配線材料からなる層の上に、前記第1の配線材料よりも高い導電率を有する第2の配線材料からなる層を堆積し、前記第2の溝を埋め込む工程と、前記層間絶縁膜が露出されるまで、前記第1の配線材料からなる層及び前記第2の配線材料からなる層を研磨除去する工程とを有することを前記課題の解決手段とした。請求項10記載の半導体素子の製造方法では、基体上に設けられた第1の層の下層配線の上に第2の層の層間絶縁膜を形成する工程と、前記層間絶縁膜に第1の凹部および第2の凹部をエッチングにより形成する工程と、前記第1の凹部、前記第2の凹部、前記第1の凹部の周囲、前記第2の凹部の周囲を再度エッチングすることによって、第1の溝および前記第1の溝よりも幅の広い第2の溝を形成すると同時に、前記第1の溝から前記第1の層まで連通している第1のスルーホールおよび前記第2の溝から前記第1の層まで連通している第2のスルーホールを形成する工程と、前記第1のスルーホールおよび前記第2のスルーホールを埋め込むとともに、前記第1の溝および前記第2の溝を含む前記層間絶縁膜上に、第1の配線材料からなる層を形成する工程と、前記第1の配線材料からなる層の上に、前記第1の配線材料よりも高い導電率を有する第2の配線材料からなる層を堆積し、前記第2の溝を埋め込む工程と、前記層間絶縁膜が露出されるまで、前記第1の配線材料からなる層及び前記第2の配線材料からなる層を研磨除去する工程とを有することを前記課題の解決手段とした。

【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】0014

【補正方法】変更

【補正内容】

【0014】請求項11記載の半導体素子の製造方法では、基体上に設けられた第1の層の下層配線の上に第2の層の層間絶縁膜を形成する工程と、前記層間絶縁膜に、第1の溝及び前記第1の溝よりも幅の広い第2の溝とを形成する工程と、前記第1の溝から前記第1の層まで連通した第1のスルーホール及び前記第2の溝から前記第1の層まで連通した第2のスルーホールを形成する工程と、前記第1のスルーホールおよび前記第2のスルーホールを埋め込むとともに、前記第1の溝および前記第2の溝を含む前記層間絶縁膜上に、第1の配線材料からなる層を形成する工程と、前記第1の配線材料からなる層の上に、前記第1の配線材料よりも高い導電率を有する第2の配線材料からなる層を堆積し、前記第2の溝を埋め込む工程と、前記層間絶縁膜が露出されるまで、前記第1の配線材料からなる層及び前記第2の配線材料からなる層を研磨除去する工程とを有することを前記課題の解決手段とした。請求項12記載の半導体素子の製造方法では、基体上に設けられた第1の層の下層配線の上に第2の層の層間絶縁膜を形成する工程と、前記層間絶縁膜に第1の溝及び前記第1の溝よりも幅の広い第2の溝とを形成する工程と、前記第1の溝および前記第2の溝を含む前記層間絶縁膜上に、第1の配線材料からなる層を形成する工程と、前記第1の配線材料からなる層を形成した後に、前記第1の溝から前記第1の層まで連通した第1のスルーホール及び前記第2の溝から前記第1の層まで連通した第2のスルーホールを形成する工程と、前記第1の配線材料よりも導電率の高い第2の配線材料からなる層を形成し、前記第1のスルーホール、前記第2のスルーホール、前記第2の溝をそれぞれ埋め込む工程と、前記層間絶縁膜が露出されるまで、前記第1の配線材料からなる層及び前記第2の配線材料からなる層を研磨除去する工程とを有することを前記課題の解決手段とした。請求項13記載の半導体素子では、基体と、この基体上に形成された、第1の溝及び前記第1の溝よりも幅の広い第2の溝を有する層間絶縁膜と、前記第1、第2の溝のそれぞれ底部に設けられた、前記第1、第2の溝の下に形成された配線層にそれぞれ連通した第1、第2のスルーホールと、前記第1の溝および前記第1のスルーホールに埋め込まれた第1の配線材料からなる第1の配線と、前記第2の溝の底部及び側壁部に形成されるとともに、前記第2のスルーホールに埋め込

まれた前記第1の配線材料からなる層と、前記第1の配線材料からなる層の上、前記第1の配線材料よりも導電率が高い第2の配線材料からなる層とで構成される第2の配線とを有することを前記課題の解決手段とした。

【手続補正6】

【補正対象書類名】明細書

【補正対象項目名】0015

【補正方法】変更

【補正内容】

【0015】請求項14記載の半導体素子では、基体と、この基体上に形成された、第1の溝及び前記第1の溝よりも幅の広い第2の溝を有する層間絶縁膜と、前記第1、第2の溝のそれぞれ底部に設けられた、前記第1、第2の溝の下に形成された配線層にそれぞれ連通した第1、第2のスルーホールと、前記第1の溝に形成された第1の配線材料からなる層と、前記第1のスルーホール及び前記第1のスルーホールの直上に埋め込まれた前記第1の配線材料よりも導電率が高い第2の配線材料からなる層とで構成される第1の配線と、前記第2の溝の底部及び側壁部に形成された前記第1の配線材料からなる層と、前記第2のスルーホールと、前記第2のスルーホールの直上と、前記第1の配線材料の上に前記第2の溝を埋め込むように形成された、前記第2の配線材料からなる層とで構成される第2の配線とを有することを前記課題の解決手段とした。請求項15記載の半導体素子の製造方法では、基体上に、第1の溝、前記第1の溝よりも幅の広い第2の溝、前記第1、第2の溝の底部にそれぞれ設けられ、前記第1、第2の溝の下層にそれぞれ形成された配線層に連通している第1、第2のスルーホールを有する層間絶縁膜を形成する工程と、前記第1のスルーホールおよび前記第2のスルーホールを埋め込むとともに、前記第1の溝および前記第2の溝を含む前記層間絶縁膜上に、第1の配線材料からなる層を形成する工程と、前記第1の配線材料からなる層の上に、前記第1の配線材料よりも高い導電率を有する第2の配線材料からなる層を堆積し、前記第2の溝を埋め込む工程と、前記層間絶縁膜が露出されるまで、前記第1の配線材料からなる層及び前記第2の配線材料からなる層を研磨除去する工程とを有することを前記課題の解決手段とした。